

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-018850

(43)Date of publication of application : 17.01.2003

(51)Int.Cl.

H02M 7/48  
H02M 7/538  
H05B 41/00  
H05B 41/24

(21)Application number : 2001-199930

(71)Applicant : TOSHIBA LIGHTING &  
TECHNOLOGY CORP

(22)Date of filing : 29.06.2001

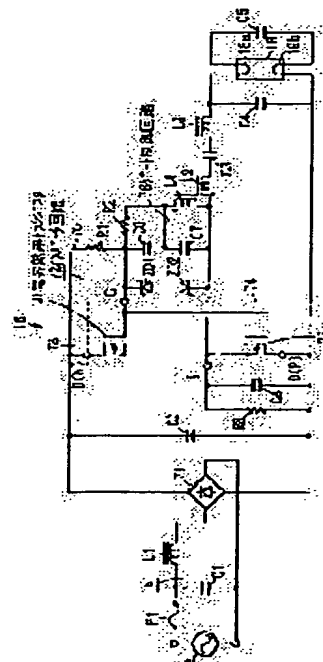
(72)Inventor : HIRAOKA TOSHIYUKI  
SHIRATA NOBUYA  
ARAKI TSUTOMU

## (54) INVERTER CIRCUIT AND COMPACT SELF-BALLASTED FLUORESCENT LAMP

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide an inverter circuit with improved mounting efficiency.

SOLUTION: An inverter main circuit 73 of a half-bridge type inverter circuit 72 has N-channel and P-channel MOS-type field effect transistors Q1 and Q2 which are complementary to each other. The field effect transistors Q1 and Q2 are housed in the same package with four pin terminals. The drain of the field effect transistor Q1 is used as a drain terminal D(N) of the N channel, sources of the field effect transistors Q1 and Q2 are used as a common source terminal S, gates of the field effect transistors Q1 and Q2 are used as a common gate terminal G, and the drain of the field effect transistor Q2 is used as a drain terminal D(P) of the P channel so as to correspond to the four pin terminals respectively.



[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2003-18850

(P 2003-18850 A)

(43) 公開日 平成15年1月17日 (2003. 1. 17)

(51) Int. Cl. <sup>7</sup>

識別記号

F I

テーマコード (参考)

H 0 2 M 7/48

H 0 2 M 7/48

A 3K072

Z 5H007

7/538

7/538

A

H 0 5 B 41/00

H 0 5 B 41/00

Y

41/24

41/24

L

審査請求 未請求 請求項の数 4

O L

(全 8 頁)

(21) 出願番号 特願2001-199930 (P2001-199930)

(22) 出願日 平成13年6月29日 (2001. 6. 29)

(71) 出願人 000003757

東芝ライテック株式会社

東京都品川区東品川四丁目3番1号

(72) 発明者 平岡 敏行

東京都品川区東品川四丁目3番1号 東芝ライテック株式会社内

(72) 発明者 白田 伸弥

東京都品川区東品川四丁目3番1号 東芝ライテック株式会社内

(74) 代理人 100062764

弁理士 樺澤 襄 (外2名)

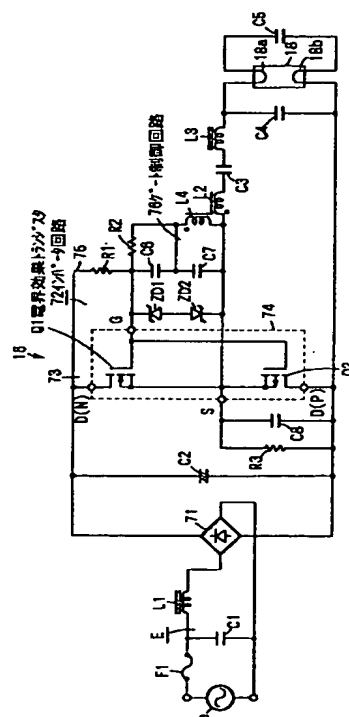
最終頁に続く

(54) 【発明の名称】 インバータ回路および電球形蛍光灯ランプ

(57) 【要約】

【課題】 実装効率を向上したインバータ回路を提供する。

【解決手段】 ハーフブリッジ形のインバータ回路72のインバータ主回路73は、相補形となるMOS形のNチャネルおよびPチャネルの電界効果トランジスタQ1、Q2を有している。電界効果トランジスタQ1、Q2を4ピン端子の同一パッケージに収容し、電界効果トランジスタQ1のドレインをNチャネルのドレイン端子D (N) とし、電界効果トランジスタQ1、Q2のソースを共通のソース端子Sとし、電界効果トランジスタQ1、Q2のゲートを共通のゲート端子Gとし、電界効果トランジスタQ2のドレインをPチャネルのドレイン端子D (P) とした、4つの端子とする。



## 【特許請求の範囲】

【請求項 1】 相補形で構成された一对の電界効果トランジスタ、それぞれの電界効果トランジスタのゲートに共通に接続される端子、それぞれの電界効果トランジスタのドレインおよびソースのいずれか一方が共通に接続される端子、および、それぞれの電界効果トランジスタのドレインおよびソースのいずれか他方がそれぞれ別個に接続される端子の 4 つの端子を同一パッケージ内に有するスイッチング用チップと；このスイッチング用チップの電界効果トランジスタを制御するゲート制御回路と；を具備していることを特徴とするインバータ回路。

【請求項 2】 スwitchング用チップは、面実装形であることを特徴とする請求項 1 記載のインバータ回路。

【請求項 3】 スwitchング用チップは、4 つの端子がピン端子であることを特徴とする請求項 1 記載のインバータ回路。

【請求項 4】 放電ランプと；放電ランプを点灯させる請求項 1 ないし 3 いずれか記載のインバータ回路と；放電ランプを支持するとともにインバータ回路が収容されたカバーと；カバーに取り付けられた口金と；を具備していることを特徴とする電球形蛍光ランプ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、相補形のインバータ回路および電球形蛍光ランプに関する。

## 【0002】

【従来の技術】従来、Nチャネルの電界効果トランジスタおよびPチャネルの電界効果トランジスタを直列に接続した相補形のハーフブリッジ形のインバータ回路が知られている。このインバータ回路は、2つの素子となるNチャネルの電界効果トランジスタおよびP形の電界効果トランジスタをそれぞれ別部材で実装し、NチャネルおよびPチャネルの電界効果トランジスタのゲートをそれぞれ別々に1つのゲート制御回路に接続している。

## 【0003】

【発明が解決しようとする課題】上述のように、1つのゲート制御回路にN形およびP形の電界効果トランジスタのゲートを接続するにもかかわらず、回路パターンの引き回しが必要になり、実装効率の向上が図りにくい問題を有している。

【0004】特に、近年普及しつつある電球形蛍光ランプの場合には、実装面積が狭いため、より効率的に実装する必要がある。

【0005】本発明は、上記問題点に鑑みなされたもので、実装効率を向上したインバータ回路および電球形蛍光ランプを提供することを目的とする。

## 【0006】

【課題を解決するための手段】請求項 1 記載のインバータ回路は、相補形で構成された一对の電界効果トランジスタ、それぞれの電界効果トランジスタのゲートに共通

に接続される端子、それぞれの電界効果トランジスタのドレインおよびソースのいずれか一方が共通に接続される端子、および、それぞれの電界効果トランジスタのドレインおよびソースのいずれか他方がそれぞれ別個に接続される端子の 4 つの端子を同一パッケージ内に有するスイッチング用チップと；このスイッチング用チップの電界効果トランジスタを制御するゲート制御回路とを具備しているもので、相補形の電界効果トランジスタであるので、ゲートを共通に接続でき、ドレインまたはソースのいずれか一方をも共通に接続できるため、同一パッケージにした場合、4 つの端子があればそれぞれの電界効果トランジスタの接続ができ、回路の引き回しを簡潔にでき、実装効率が向上する。

【0007】請求項 2 記載のインバータ回路は、請求項 1 記載のインバータ回路において、スイッチング用チップは、面実装形であるもので、面実装にも対応可能である。

【0008】請求項 3 記載のインバータ回路は、請求項 1 記載のインバータ回路において、スイッチング用チップは、4 つの端子がピン端子であるもので、4 つのピン端子により通常の実装にも対応可能である。

【0009】請求項 4 記載の電球形蛍光ランプは、放電ランプと；放電ランプを点灯させる請求項 1 ないし 3 いずれか記載のインバータ回路と；放電ランプを支持するとともにインバータ回路が収容されたカバーと；カバーに取り付けられた口金とを具備しているもので、実装面積が狭いため、より小形化を図れる。

## 【0010】

【発明の実施の形態】以下、本発明の電球形蛍光ランプおよび照明器具の一実施の形態を図面を参照して説明する。

【0011】図 2 は電球形蛍光ランプの一部を切り欠いて示す側面図で、図 2 に示すように、11 は電球形蛍光ランプで、この電球形蛍光ランプ 11 は、口金 12 を有するカバー 14、このカバー 14 に収納された点灯回路 16、透光性を有するグローブ 17、このグローブ 17 に収納された放電ランプとしての発光管 18 を備えている。そして、口金 12、カバー 14 およびグローブ 17 から構成される外囲器は、定格電力が例えば 60W タイプや 100W タイプの白熱電球などの一般照明用電球の規格寸法に近似する外形に形成されている。なお、一般照明用電球とは JIS C 7501 に定義されるものである。

【0012】そして、カバー 14 は、ポリブチレンテレフタレート (PBT) などの耐熱性合成樹脂などにて形成されたカバー本体 21 を備えている。このカバー本体 21 は、下方に拡開する開口部を有する略円筒状をなし、上端部に、エジソンタイプの E26 形などの口金 12 が被せられ、接着剤またはかしめなどにより固定されている。

【0013】また、グローブ 17 は、透明あるいは光拡散性を有する乳白色などで、ガラスあるいは合成樹脂によ

り、白熱電球などの一般照明用電球のガラス球と略同一形状の滑らかな曲面状に形成されているとともに、開口部の縁部には、カバー14の下端開口部の内側に嵌合する図示しない嵌合縁部が形成されている。なお、このグローブ17は、拡散膜などの別部材を組み合わせ、輝度の均一性を向上することもでき、あるいは省略することもできる。

【0014】また、点灯回路16は、水平状、すなわち発光管18の長手方向と垂直に配置される回路基板24を備え、図3に示すように、この回路基板24の両面すなわち

10 口金12側である上面に折り曲げ可能なフレキシブル基板25が装着され、回路基板24の上面およびフレキシブル基板25に図1に示す点灯回路16が装着されている。

【0015】そして、回路基板24の上面には、比較的熱に強く、すなわち比較的耐熱性が高い部品が配置され、フレキシブル基板25にはチップ状の比較的熱に弱い、すなわち比較的耐熱性が低い部品が配置されている。このように、フレキシブル基板25に部品を配設して発光管18の発熱により温度が高くなる回路基板24から離間することにより、比較的耐熱性の低い部品であっても温度を低下させることができ、フレキシブル基板25の柔軟性を利用して効率良くカバー14内にコンパクトに収納可能である。特に、チップ部品の場合、はんだ面の温度が上昇することにより電氣的接続が不安定になるおそれも防止できる。

【0016】なお、回路部品の実装スペースが回路基板24に十分確保されていれば、フレキシブル基板25を設けずに点灯回路16を構成してもよい。

【0017】また、発光管18は、ガラスバルブ31を有し、このガラスバルブ31の内面に蛍光体が塗布された図示しない蛍光体層が形成され、ガラスバルブ31の内部にアルゴンなどの希ガスや水銀などを含む放電ガスとなる封入ガスが封入され、ガラスバルブ31の両端に図示しない一対の電極が封装されている。

【0018】そして、ガラスバルブ31は、略同形状の3本の管体33a、33b、33cを有し、これら管体33a～33cは、ガラス製の断面略円筒状であって中間部で滑らかに湾曲されて頂部を有する略U字状に形成されている。また、ガラスバルブ31の中間部の各管体33a、33bの両端と、ガラスバルブ31の両端の各管体33b、33cの一端とが

40 つなぎ部となる連通管部36を介して順次接続されて1本の連続した放電路37が形成されている。さらに、ガラスバルブ31が電球形蛍光ランプ11に組み込まれた状態において、各管体33a～33cの頂部は、電球形蛍光ランプ11の上下方向を長手方向とする中心軸を中心とする所定の円周上に等間隔で位置され、また、各管体33a～33cが断面三角形の各辺に対応して配置されている。

【0019】また、発光管18は、蛍光ランプ固定部材でありまた点灯回路固定部材である支持手段としての仕切板61に取り付けられ、この仕切板61がカバー14に固定さ

れている。すなわち、仕切板61は、円板状をなす基板部62を備え、この基板部62に各管体33a～33cの端部を挿入したうえ接着剤にて接着などして、発光管18が仕切板61に固定されている。また、基板部62の外周部からは、上側に向かいさらに外側に向かう嵌合段部63が形成されている。そして、この嵌合段部63をカバー14の内側に嵌合し、さらに、この嵌合段部63とカバー14との間にグローブ17の嵌合縁部を嵌合した状態で、嵌合段部63とカバー14との間に接着剤を充填することにより、これらの部材が互いに固定されている。また、嵌合段部63の上側には、円筒状などをなす取付片部64が突設され、この取付片部64に、嵌合あるいは接着などして、点灯回路16の回路基板24が取り付けられている。

【0020】そして、図1は点灯回路の構成を説明する回路図で、この点灯回路16は、商用交流電源eにヒューズF1を介してフィルタを構成するコンデンサC1が接続され、このコンデンサC1にはフィルタを構成するインダクタL1を介して全波整流器71の入力端子が接続されている。また、この全波整流器71の出力端子には平滑用のコンデンサC2が接続されて入力電源回路Eを構成し、この入力電源回路EのコンデンサC2には高周波を発生するハーフブリッジ形のインバータ回路72のインバータ主回路73が接続されている。なお、入力電源回路Eを構成する素子の多くは、回路基板24の表面に取り付けられている。

【0021】また、インバータ主回路73は、コンデンサC2に対して並列に、スイッチング素子である互いに相補形となるMOS形のNチャネルのトランジスタとしての電界効果トランジスタQ1およびMOS形のPチャネルのトランジスタとしての電界効果トランジスタQ2が直列に接続されている。Nチャネルの電界効果トランジスタQ1およびPチャネルの電界効果トランジスタQ2は互いのソースが接続されている。そして、電界効果トランジスタQ1および電界効果トランジスタQ2は、図4に示すように、4ピン端子の同一パッケージ74に収容されて、図2および図3に示すように、回路基板24の表面に実装され、図5に示すように、電界効果トランジスタQ1のドレインはNチャネルのドレイン端子D(N)として、電界効果トランジスタQ1および電界効果トランジスタQ2のソースの共通のソース端子Sとして、電界効果トランジスタQ1および電界効果トランジスタQ2のゲートの共通のゲート端子Gとして、電界効果トランジスタQ2のドレインはPチャネルのドレイン端子D(P)として、4つの端子を有している。

【0022】さらに、電界効果トランジスタQ2のドレイン、ソース間には、共振用のインダクタL2、直流カット用のコンデンサC3およびバラストチョークL3を介して、発光管18の両端のフィラメントコイル18a、18bの一端がそれぞれ接続され、一方のフィラメントコイル18aの一端と他方のフィラメントコイル18bとの一端間には共振

用のコンデンサC4が接続され、一方のフィラメントコイル18aの他端と他方のフィラメントコイル18bとの他端間には始動用のコンデンサC5が接続されている。

【0023】また、コンデンサC2と電界効果トランジスタQ1のゲートおよび電界効果トランジスタQ2のゲートとの間には、起動回路75を構成する起動用の抵抗R2が接続され、これら電界効果トランジスタQ1のゲートおよび電界効果トランジスタQ2のゲートと電界効果トランジスタQ1および電界効果トランジスタQ2のソースとの間に、コンデンサC6およびコンデンサC7の直列回路が接続され、これらコンデンサC6およびゲート制御手段としてのゲート制御回路76のコンデンサC7の直列回路に対して並列に電界効果トランジスタQ1および電界効果トランジスタQ2のゲート保護のためのツェナダイオードZD1およびツェナダイオードZD2の直列回路が接続されている。また、インダクタL2には、二次巻線L4が磁気的に結合して設けられ、この二次巻線L4はコンデンサC6およびコンデンサC7の接続点に接続されている。さらに、コンデンサC6に対して並列に、起動回路75の抵抗R3が接続されている。

【0024】さらに、電界効果トランジスタQ2のドレイン、ソース間には、起動回路75の抵抗R4およびスイッチング改善用のコンデンサC8の並列回路が接続されている。

【0025】なお、インバータ主回路73は互いに直列的に接続されたスイッチング素子を2対以上有するたとえばフルブリッジ形のものでよい。さらに、発光管18は両方のフィラメントコイル18a、18bが予熱される形式のもので、両方のフィラメントコイル18a、18bが予熱されない形式のものでよい。

【0026】そして、点灯回路16に電源が投入されると、商用交流電源eの電圧を全波整流器71で全波整流し、コンデンサC2で平滑する。

【0027】まず、抵抗R2を介してNチャネルの電界効果トランジスタQ1のゲートに電圧が印加され、電界効果トランジスタQ1がオンする。電界効果トランジスタQ1のオンによりインダクタL2、コンデンサC3、バラストチョークL3、コンデンサC4およびコンデンサC5の閉路に電圧が印加され、インダクタL2、コンデンサC3、バラストチョークL3、コンデンサC4およびコンデンサC5は共振する。そして、インダクタL2の二次巻線L4に電圧が誘起され、ゲート制御回路76のコンデンサC6およびコンデンサC7などが固有共振して電界効果トランジスタQ1をオンさせ、電界効果トランジスタQ2をオフさせる電圧を発生する。

【0028】ついで、インダクタL2、コンデンサC3、バラストチョークL3、コンデンサC4およびコンデンサC5の共振電圧が反転すると二次巻線L4には前回と逆の電圧が発生し、ゲート制御回路76は電界効果トランジスタQ1をオフさせ、電界効果トランジスタQ2をオンさせる電圧を発生する。さらに、インダクタL2、コンデンサC3、バ

ストチョークL3、コンデンサC4およびコンデンサC5の共振電圧が反転すると、電界効果トランジスタQ1がオンするとともに、電界効果トランジスタQ2がオフする。以後、同様に、電界効果トランジスタQ1および電界効果トランジスタQ2が交互にオン、オフして、共振電圧が発生し、コンデンサC4およびコンデンサC5に並列接続された発光管18はフィラメントコイル18a、18bが予熱されつつ始動電圧を印加されて、始動、点灯する。

【0029】また、ツェナダイオードZD1およびツェナダイオードZD2により、電界効果トランジスタQ1および電界効果トランジスタQ2のゲート電圧を一定化するとともに、ゲートを過大な電圧から保護している。

【0030】したがって、NチャネルおよびPチャネルの電界効果トランジスタQ1、Q2を用い、かつ、Nチャネルの電界効果トランジスタQ1を高電位側に接続したので、1つのゲート制御回路76によりNチャネルおよびPチャネルの電界効果トランジスタQ1、Q2を制御できる。

【0031】上記実施の形態によれば、NチャネルおよびPチャネルの電界効果トランジスタQ1、Q2を同一パッケージ74内に収納することにより、4ピン端子にすることができ、回路基板24におけるNチャネルおよびPチャネルの電界効果トランジスタQ1、Q2の占有面積を小さくできるとともに、回路の引き回しを簡素化でき、特に、回路基板24の小形化が求められる電球形蛍光灯11に適している。

【0032】次に、他の実施の形態を図6を参照して説明する。

【0033】図6は他の実施の形態の面実装形のチップを示す説明図で、図5に示す4ピン端子の同一パッケージ74に代えて、NチャネルおよびPチャネルの電界効果トランジスタQ1、Q2は、面実装形の同一パッケージ77内に収容されており、図5に示すNチャネルおよびPチャネルの電界効果トランジスタQ1、Q2と同様に結線されているものである。

【0034】また、他の実施の形態を図7を参照して説明する。

【0035】図7はフレキシブル基板を示す説明図で、この図7に示す実施の形態は、図3に示すフレキシブル基板25の表面に絶縁シート78を貼着したものである。

【0036】このように、フレキシブル基板25の表面に絶縁シート78を貼着することにより、フレキシブル基板25および回路基板24の電気部品あるいはパターンが電気的に接触することを防止できるため、実装密度を高くできる。なお、絶縁シート78をフレキシブル基板25の両面に貼着すればより絶縁を確実にできる。

【0037】さらに、他の実施の形態を図8を参照して説明する。

【0038】図8は他の実施の形態の回路基板の近傍を示す説明図で、回路基板24の直径方向に合わせて、いわゆる逆T字状にカバー14の内面形状に合わせた形状の垂

直基板81を垂直に立設させたもので、具体的には垂直基板81の下辺にピン82を突出して形成し、このピン82を回路基板24に形成された図示しない直径方向に沿った2つ以上の係合孔に係合してはんだ付けしたものである。そして、垂直基板81の先端を口金12内に挿入し、回路基板24から最も離れて温度が比較的低いと考えられる口金12の近傍に温度に弱いたとえばコンデンサC1を実装したものである。なお、この口金12付近には、温度に弱いたとえばNチャネルおよびPチャネルの電界効果トランジスタQ1、Q2などの半導体スイッチング素子あるいはこのような半導体スイッチング素子を有するICなどを実装しても良い。

【0039】また、回路基板24の垂直基板81の一方側に発光管18のフィラメントコイル18a、18bを位置させることにより、フィラメントコイル18a、18bなどから伝わった熱や輻射熱により回路基板24の垂直基板81の一方側の温度が高くなってしまふものの、垂直基板81により回路基板24の上側が2つの部屋に区切られるため回路基板24の垂直基板81の他方側の温度を低くできるので、回路基板24の垂直基板81の他方側に耐熱性の弱い部品を実装することにより、温度対策が可能になる。

【0040】上述のように、回路基板24の直径に沿っていれば、カバー14の内面の縦断面が一番広い面積となるので、もっとも垂直基板81の面積を広くでき、実装面積を広くできる。

【0041】また、口金12の付近まで垂直基板81が位置しているため、比較的温度が低い口金12付近に電気部品を配設しても長く浮かせたリード線などの引き回しが必ずしも必要ではないので、製造工程も複雑化しない。さらに、垂直基板81に部品を装着することにより、長いリード線なども不用になり、リード線の組み立て前の整形あるいはリード線に必要以上の機械的な負荷が加わって抜けるおそれもなくなる。

【0042】さらに、他の実施の形態を図9を参照して説明する。

【0043】図9は他の実施の形態の垂直基板および口金の関係を示す説明図で、図9に示すように、垂直基板81の口金12の近傍にスルーホールのような基板断面に電氣的に接続できる金属端子部が露出した切欠85を形成し、この切欠85に口金12の内部に形成したばね状の接続片86を電氣的かつ機械的に接続して、口金12と垂直基板81とを電氣的に接続したものである。

【0044】このように、口金12の接続片86を垂直基板81の切欠85に接続することにより、簡単に口金12と垂直基板81の電氣的な接続が可能になる。

【0045】またさらに、他の実施の形態を図10を参照して説明する。

【0046】図10は他の実施の形態の垂直基板および口金の関係を示す説明図で、図10に示すように、口金12の2箇所にかバー14を介して垂直基板81と電氣的かつ

機械的に接続する接続ピン87、88を設け、口金12と垂直基板81とを電氣的に接続するとともに、口金12と同時にカバー14も同時に固定したものである。

【0047】このように、口金12をカバー14を介して垂直基板81に接続ピン87、88により接続することにより、簡単に口金12と垂直基板81の電氣的な接続が可能になるとともに、カバー14の固定もできる。

【0048】また、他の実施の形態を図11を参照して説明する。

10 【0049】図11は回路基板、仕切板および発光管の関係を示す説明図で、図11に示すように、仕切板61に樹脂モールドなどによってコネクタ91を設け、このコネクタ91に発光管18を電氣的に接続している。また、回路基板24にはこれらコネクタ91に対応する接続ピン92を取り付け、回路基板24の接続ピン92を仕切板61のコネクタ91に接続したものである。

20 【0050】このように、回路基板24の接続ピン24を仕切板61のコネクタ91に接続することにより、従来のように発光管18からのワイヤをピンにラッピングする必要がなくなり、自動ラッピングの場合には従来はピンの周囲にラッピング用の治具を挿入可能な実装ができないデッドスペースを設ける必要があり、実装効率が低下したが、接続ピン24をコネクタ91に接続するのみであるので、接続ピン24の周囲に大きなスペースが必要なくなり、実装効率が向上する。また、自動ラッピングの際にはワイヤの整形などが必要であったがこのような整形が不要になり製造工程が簡素化する。

【0051】

30 【発明の効果】請求項1記載のインバータ回路によれば、相補形の電界効果トランジスタであるので、ゲートを共通に接続でき、ドレインまたはソースのいずれか一方をも共通に接続できるため、同一パッケージにした場合、4つの端子があればそれぞれの電界効果トランジスタの接続ができ、回路の引き回しを簡潔にでき、実装効率を向上できる。

【0052】請求項2記載のインバータ回路によれば、請求項1記載のインバータ回路に加え、スイッチング用チップは面実装形であるもので、面実装にも対応できる。

40 【0053】請求項3記載のインバータ回路によれば、請求項1記載のインバータ回路に加え、スイッチング用チップは4つの端子がピン端子であるので、4つのピン端子により通常の実装にも対応できる。

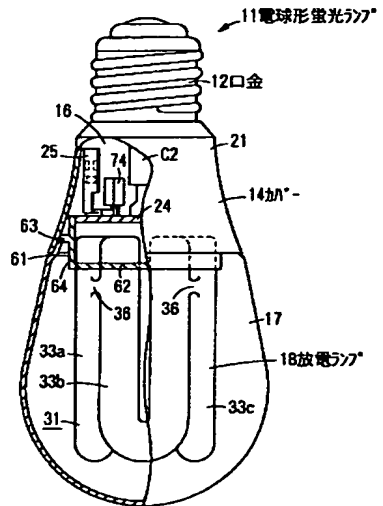
【0054】請求項4記載の電球形蛍光灯によれば、実装面積が狭いため、より小形化を図ることができる。

【図面の簡単な説明】

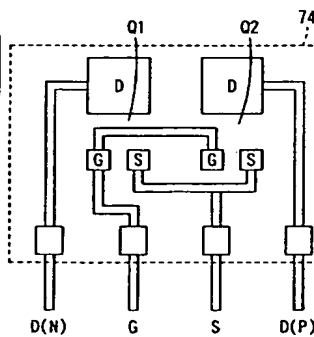
【図1】本発明の一実施の形態の点灯回路を示す回路図である。

50 【図2】同上電球形蛍光灯の一部を切り欠いて示す

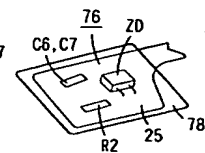
Q1, Q2 電界効果トランジスタ



【図 5】

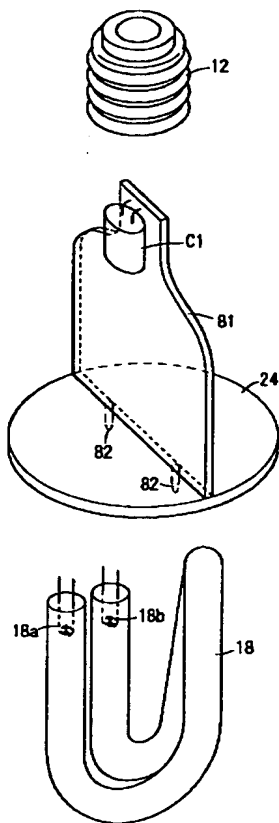


【図 7】

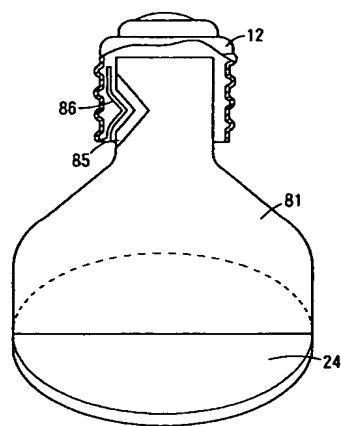




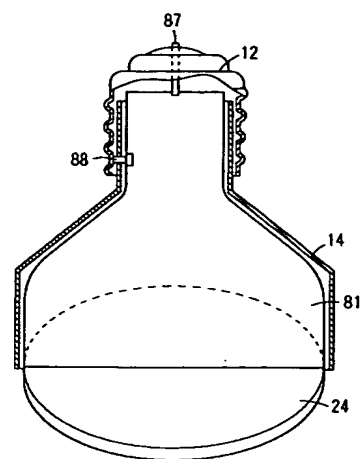
【図 8】



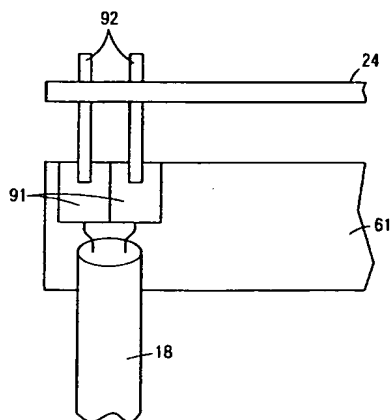
【図 9】



【図 10】



【図 11】



フロントページの続き

(72)発明者 荒木 努  
東京都品川区東品川四丁目 3 番 1 号 東芝  
ライテック株式会社内

F ターム(参考) 3K072 AA02 AA06 AC02 AC11 BA03  
BC01 CA16 EA03 GA02 GB12  
GC02  
5H007 AA01 AA03 BB03 BB11 CA02  
CB03 CB17 CB22 CC07 HA03  
HA04 HA07